

PATENT
81790.0310
Express Mail Label No. EV 325 214 929 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

KAWABATA, et al.

Serial No: Not Assigned

Filed: January 30, 2004

For: SEMICONDUCTOR DEVICE

Art Unit: Not Assigned

Examiner: Not Assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

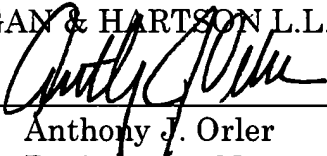
Enclosed herewith is a certified copy of Japanese patent application No. 2003-023324, which was filed January 31, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: January 30, 2004

By: 
Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 3 1 日
Date of Application:

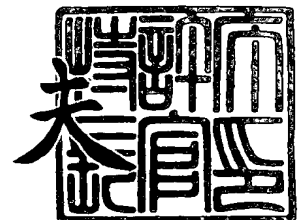
出 願 番 号 特 願 2 0 0 3 - 0 2 3 3 2 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 2 3 3 2 4]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 1 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 AMB0260271

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 川端 真己

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 吉原 正浩

【発明者】

 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝 本社事
 務所内

 【氏名】 牧野 英一

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100083161

 【弁理士】

 【氏名又は名称】 外川 英明

 【電話番号】 (03)3457-2512

【手数料の表示】

 【予納台帳番号】 010261

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

第 1 導電型の第 1 の半導体領域と前記第 1 の半導体領域内に形成された第 2 導電型の第 2 の半導体領域を少なくとも有し、前記第 2 の半導体領域に第 1 の電位が供給され、前記第 1 の半導体領域に第 2 の電位が供給された第 1 のトランジスタと、前記第 2 の電位を発生する電位発生回路とを具備し、

前記電位発生回路は、第 1 の電源から供給された第 1 の電源電位と、第 2 の電源から供給されるとともに前記第 1 の電源電位以上に設定された第 2 の電源電位が供給された二端子を有し、

前記第 2 の電源電位が所定の電位以上の場合は、前記第 2 の電源電位を出力し、前記第 2 の電源電位が前記所定の電位よりも低くなると、前記第 1 の電源電位を出力することによって、前記所定の電位以上となる電位を発生することを特徴とする半導体装置。

【請求項 2】

前記第 1 のトランジスタは、Pチャネルトランジスタであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記所定の電位は、ほぼ前記第 1 の電源電位と同じであることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記電位発生回路は、

ソースが、前記第 2 の電源電位が供給された第 1 の端子に接続し、ドレインが前記第 2 の電位を出力する出力端子に接続した第 2 のトランジスタと、

ソース及びゲートが、前記第 1 の電源電位が供給された第 2 の端子に接続し、ドレインが前記出力端子に接続した第 3 のトランジスタと、

入力端子が前記第 1 の端子に接続し、出力端子が前記第 2 のトランジスタのゲートに接続したインバータ回路と、

を有することを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記電位発生回路は、前記第 2 の電源電位が、前記所定の電位以上の場合、前記第 2 のトランジスタをオン状態にし、前記所定の電位よりも低くなると、前記第 2 のトランジスタをオフ状態にして、前記第 3 のトランジスタをオン状態にすることによって、前記所定の電位以上となる電位を発生することを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記電位発生回路は、
ソースが、前記第 2 の電源電位が供給された第 1 の端子に接続し、ドレインが前記第 2 の電位を出力する出力端子に接続した第 2 のトランジスタと、
ソース及びゲートが、前記第 1 の電源電位が供給された第 2 の端子に接続し、ドレインが前記出力端子に接続した第 3 のトランジスタと、
入力端子が前記第 1 の端子に接続し、出力端子が前記第 2 のトランジスタのゲートに接続した比較回路とを有し、
前記比較回路は、差動増幅回路を有し、前記差動増幅回路の入力端子には、ソース及びゲートが前記第 1 の電源電位に接続された、第 4 のトランジスタのドレインの電位と、第 2 の電源電位とが供給されていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置。

【請求項 7】

前記電位発生回路は、前記第 2 の電源電位が、前記所定の電位以上場合は、前記第 2 のトランジスタをオン状態にし、前記所定の電位よりも低くなると、前記前記第 3 のトランジスタをオン状態にすると同時に、前記第 2 のトランジスタをオフ状態にすることによって、前記所定の電位以上となる電位を発生することを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記第 2 のトランジスタは、Pチャネルトランジスタであり、前記第 3 及び第 4 のトランジスタは、Nチャネルトランジスタであることを特徴とする請求項 4

乃至 7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記第 3 のトランジスタは、前記第 2 のトランジスタよりも閾値が低いことを特徴とする請求項 8 に記載の半導体装置。

【請求項 1 0】

前記第 4 のトランジスタの閾値は、前記第 3 のトランジスタの閾値とほぼ同じであることを特徴とする請求項 9 に記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置に係り、特にウェル電圧を印加する P チャネルトランジスタを有する半導体装置に関する。

【 0 0 0 2】

【従来の技術】

半導体記憶装置では、メモリセルを制御する制御回路がメモリセルの周辺に形成されている。この制御回路は、トランジスタやダイオードなどの素子によって構成されており、例えば、図 4 (a) に示すような P チャネルトランジスタ 4 0 がある。P チャネルトランジスタ 4 0 は、基板に形成されたウェル内に形成されており、ゲート電圧 V_G 、ソース電圧 V_S 、ドレイン電圧 V_D の他に、ウェル電圧 V_B が供給されている。ソース電圧 V_S は、第 1 の電源から供給されており、電源電位 V_{cc} である。また、ウェル電圧 V_B は、半導体記憶装置内のチャージポンプ回路による第 2 の電源から供給されており、通常、ソース電圧以上に設定された昇圧電位 V_{pp} に保障されている。すなわち、 $V_B = V_{pp} \geq V_S = V_{cc}$ である。

【 0 0 0 3】

また、P チャネルトランジスタ 4 0 は、図 4 (b) に示すように、N 型ウェル（または半導体基板）の第 1 の半導体領域 5 1 と、第 1 の半導体領域 5 1 内に形成された P 型の第 2 の半導体領域 5 2、5 3 と、第 1 の半導体領域 5 1 上にゲート絶縁膜を介して形成されたゲート電極 5 4 からなる。ゲート電極 5 4、第 2 の

半導体領域 52, 53, 第1の半導体領域 51には、それぞれ、ゲート電圧 V_G , ソース電圧 V_S , ドレイン電圧 V_D , ウェル電圧 V_B が供給されている。

【0004】

P-ch の MOS トランジスタと N-ch の MOS トランジスタを直列接続して、両者の接続点を出力端とする CMOS 回路に関する文献として、出力側からの逆流電流を阻止して非所望の電流が流れない回路について記載した特許文献 1 がある。

【0005】

【特許文献 1】

特開平 7-131332 号公報 (図 1)

【0006】

【発明が解決しようとする課題】

このような P チャネル トランジスタ 40 において、通常、ウェル電圧 V_B がソース電圧 V_S 以上となるよう保障した場合でも、動作セル量が多く、大電流が流れると、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がり、ウェル電圧 V_B がソース電圧 V_S よりも低くなってしまうことがある。また、ノイズが発生した場合にも、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がり、ウェル電圧 V_B がソース電圧 V_S よりも低くなってしまうことがある。ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がり、ウェル電圧 V_B がソース電圧 V_S よりも、ソースとウェルの PN 接合の閾値以上低くなると、順方向バイアスされて ON 状態になり、図 4 (b) 内の矢印に示すように、基板に大量のキャリアが発生し、基板、ソース、ウェル等からなる寄生トランジスタがラッチアップしたり、大電流が流れることによって、素子に悪影響を及ぼすという問題があった。

【0007】

本発明は、上記した問題点を解決すべくなされたもので、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、ソースとウェルの PN 接合が順方向バイアスされて ON 状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことが可能な半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記した目的を達成するための本発明の半導体装置の一形態は、第1導電型の第1の半導体領域と前記第1の半導体領域内に形成された第2導電型の第2の半導体領域を少なくとも有し、前記第2の半導体領域に第1の電位が供給され、前記第1の半導体領域に第2の電位が供給された第1のトランジスタと、前記第2の電位を発生する電位発生回路とを具備し、

前記電位発生回路は、第1の電源から供給された第1の電源電位と、第2の電源から供給されるとともに前記第1の電源電位以上に設定された第2の電源電位が供給された二端子を有し、

前記第2の電源電位が所定の電位以上の場合、前記第2の電源電位を出力し、前記第2の電源電位が前記所定の電位よりも低くなると、前記第1の電源電位を出力することによって、前記所定の電位以上となる電位を発生することを特徴としている。

【0009】

上記した本発明の一形態によれば、第1のトランジスタを構成している第1の半導体領域の電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、第2の半導体領域と第1の半導体領域のPN接合が順方向バイアスされてON状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことができる。

【0010】**【発明の実施の形態】**

以下、図面を参照して、本発明の実施の形態について詳細に説明する。

【0011】**(第1の実施の形態)**

図1及び図2に本発明の第1の実施の形態に係る半導体装置を示す。

例えば、半導体記憶装置では、メモリセルを制御する制御回路がメモリセルの周辺に形成されている。この制御回路は、トランジスタやダイオードなどの素子によって構成されており、例えば、図1(a)に示すようなPチャネルトランジスタ10がある。Pチャネルトランジスタ10は、例えば基板に形成されたウェル内に形成されており、ゲート電圧 V_G 、ソース電圧 V_S 、ドレイン電圧 V_D の他

に、ウェル電圧（バックゲート電圧） V_B が供給されている。ウェル電圧に限定されず、基板電圧であってもよい。

【0012】

また、Pチャネルトランジスタ10は、図1（b）に示すように、N型ウェル（または半導体基板）の第1の半導体領域11と、第1の半導体領域11内に形成されたP型の第2の半導体領域12、13と、第1の半導体領域11上にゲート絶縁膜を介して形成されたゲート電極14からなる。ゲート電極14、第2の半導体領域12、13、第1の半導体領域11には、それぞれ、ゲート電圧 V_G 、ソース電圧 V_S 、ドレイン電圧 V_D 、ウェル電圧 V_B が供給されている。

【0013】

図1に示した所定のPチャネルトランジスタ10のウェル電圧 V_B に供給される電位は、図2に示したウェル電圧発生回路によって、調整された昇圧電位 $V_{pp'}$ が供給されている。図2に示したウェル電圧発生回路には、半導体記憶装置内のチャージポンプ回路（図示しない）による第2の電源から供給されている昇圧電位 V_{pp} を供給する端子Aと、第1の電源から供給されている電源電位 V_{cc} を供給する端子Bが設けられ、調整された昇圧電位 $V_{pp'}$ が出力端子から出力されている。

【0014】

端子Aと端子Bの間には、電位切り替え回路として、Pチャネルトランジスタ21とNチャネルトランジスタ22が直列に接続されている。端子A側には、Pチャネルトランジスタ21のソースが接続され、Pチャネルトランジスタ21のゲートは、インバータ回路23の出力に接続されている。インバータ回路23の入力は、端子Aに接続されている。また、Pチャネルトランジスタ21のバックゲートとドレインが接続されている。インバータ回路23は、CMOS回路で構成され、第1の電源電位 V_{cc} 及び基準電位 V_{ss} （例えば、接地電位）に接続されている。

【0015】

また、端子B側には、Nチャネルトランジスタ22のソースが接続されている。Nチャネルトランジスタ22のソースとゲートは接続されており、ダイオード

接続されている。Nチャネルトランジスタ22のウェル電圧は、基準電位 V_{ss} であり、例えば、接地電位となっている。接続されたPチャネルトランジスタ21及びNチャネルトランジスタ22のドレイン電圧が、所定のPチャネルトランジスタ10のウェルに印加されるウェル電圧 V_B となる。Nチャネルトランジスタ22の閾値 V_{thn} は、Pチャネルトランジスタ21の閾値 V_{thp} よりも低く、Nチャネルトランジスタ22の閾値 V_{thn} は、例えば、約0.2V~0.3Vであり、Pチャネルトランジスタ21の閾値 V_{thp} は、例えば、約0.6Vである。ウェル電圧発生回路を構成するPチャネルトランジスタ21及びNチャネルトランジスタ22は、ウェル電圧を発生するために設けられており、電流量が比較的少ないため、低消費型の素子で構成することができる。

【0016】

続いて、図2に示したウェル電圧発生回路の動作について説明する。端子Aの電圧 V_{pp} が、端子Bの電圧 V_{cc} 以上、すなわち、 $V_{pp} \geq V_{cc}$ である場合は、Pチャネルトランジスタ21がONし、Nチャネルトランジスタ22がOFFするため、ウェル電位 V_B は、端子Aに印加された昇圧電位 V_{pp} である。すなわち、 $V_B = V_{pp}$ である。例えば、動作セル量が多く、大電流が流れた場合やノイズが発生した場合に、端子Aに印加されている昇圧電位 V_{pp} が低くなることがある。端子Aに印加されている電圧が低くなると、Pチャネルトランジスタ21がOFFする。続いて、閾値が低いNチャネルトランジスタ22がONするため、ウェル電圧 V_B は、 $V_B = V_{cc} - V_{thn}$ となり、ほぼ電源電位 V_{cc} である。Nチャネルトランジスタ22は、閾値の低いトランジスタで構成しているため、ウェルとソースのPN接合が順方向バイアスされてON状態になる前に、Nチャネルトランジスタ22をONすることができる。

【0017】

よって、図1に示した所定のPチャネルトランジスタ10のウェル電圧 V_B は、ウェル電圧の昇圧電位 V_{pp} の電位が下がると、ソース電圧 V_S の側から電位を供給し、ウェルとソースのPN接合が順方向バイアスされてON状態にならないよう、所定の電圧以上になるよう保障している。したがって、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、ソースとウェルのPN接

合が順方向バイアスされてON状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことができる。

【0018】

なお、ソースとウェルのPN接合は、ウェル電圧 V_B がソース電圧 V_S よりも低い場合、ソースとウェルのPN接合の閾値以下のときであっても、多少の電荷が流れることがあるが、基板に大量のキャリアが発生して、寄生トランジスタがラッチアップしたり、大電流が流れることはないため、素子に悪影響を及ぼすことはない。

【0019】

また、本実施の形態では、比較的簡易な回路によって実現することができるため、小スペースに設けることができ、有効である。また、所定のトランジスタ一つに対して、本回路を一つ設けてもよいし、所定のトランジスタ複数に対して、本回路を一つ設けてもよい。また、所定のトランジスタの近くに、比較的簡易な回路で設けることができるため、信号の遅延や分配による誤動作を低減することができ、容易に形成することができる。

【0020】

(第2の実施の形態)

図3に本発明の第2の実施の形態に係る半導体装置を示す。

例えば、半導体記憶装置では、メモリセルを制御する制御回路がメモリセルの周辺に形成されている。この制御回路は、トランジスタやダイオードなどの素子によって構成されており、例えば、前記した第1の実施の形態と同様に、図1(a)に示すようなPチャネルトランジスタ10がある。Pチャネルトランジスタ10は、例えば基板に形成されたウェル内に形成されており、ゲート電圧 V_G 、ソース電圧 V_S 、ドレイン電圧 V_D の他に、ウェル電圧(バックゲート電圧) V_B が供給されている。ウェル電圧に限定されず、基板電圧であってもよい。

【0021】

また、Pチャネルトランジスタ10は、図1(b)に示すように、N型ウェル(または半導体基板)の第1の半導体領域11と、第1の半導体領域11内に形成されたP型の第2の半導体領域12、13と、第1の半導体領域11上にゲ-

ト絶縁膜を介して形成されたゲート電極 14 からなる。ゲート電極 14, 第 2 の半導体領域 12, 13, 第 1 の半導体領域 11 には、それぞれ、ゲート電圧 V_G , ソース電圧 V_S , ドレイン電圧 V_D , ウェル電圧 V_B が供給されている。

【0022】

図 1 に示した所定の P チャネルトランジスタ 10 のウェル電圧 V_B に供給される電位は、図 3 に示したウェル電圧発生回路によって、調整された昇圧電位 V_{pp} が供給されている。図 3 に示したウェル電圧発生回路には、半導体記憶装置内のチャージポンプ回路（図示しない）による第 2 の電源から供給されている昇圧電位 V_{pp} を供給する端子 A と、第 1 の電源から供給されている電源電位 V_{cc} を供給する端子 B が設けられ、調整された昇圧電位 V_{pp} が出力端子から出力されている。端子 A と端子 B の間には、P チャネルトランジスタ 21 と N チャネルトランジスタ 22 が直列に接続されている。

【0023】

端子 A 側には、P チャネルトランジスタ 21 のソースが接続され、P チャネルトランジスタ 21 のゲートは、比較回路 24 の出力に接続されている。比較回路 24 は、負荷としてカレントミラー部が一部に接続された差動増幅回路 25 によって構成される。カレントミラー部は 2 つの P チャネルトランジスタによって構成されており、差動増幅回路の入力には、N チャネルトランジスタからなる 2 つの差動トランジスタが構成されている。差動増幅回路の 2 入力には、昇圧電位 V_{pp} 及び電位 $V_{cc} - V_{thn}$ が入力されている。差動増幅回路の 1 入力は、端子 A に接続されている。また、 V_{thn} は、差動増幅回路の他の入力に接続された電源電位 V_{cc} と接続されている N チャネルトランジスタ 26 の閾値であり、電位 $V_{cc} - V_{thn}$ は、ソースとゲートが接続された N チャネルトランジスタ 26 のソースに、電源電位 V_{cc} が接続されることによって生成されている。また、P チャネルトランジスタ 21 のバックゲートとドレインが接続されている。

【0024】

また、端子 B 側には、N チャネルトランジスタ 22 のソースが接続されている。N チャネルトランジスタ 22 のソースとゲートは接続されており、ダイオード接続されている。N チャネルトランジスタ 22 のウェル電圧は、基準電位 V_{ss}

であり、例えば、接地電位となっている。接続されたPチャネルトランジスタ21及びNチャネルトランジスタ22のドレイン電圧が、所定のPチャネルトランジスタ10のウェルに印加されるウェル電圧VBとなる。Nチャネルトランジスタ22の閾値 V_{thn} は、Pチャネルトランジスタ21の閾値 V_{thp} よりも低く、Nチャネルトランジスタ22の閾値 V_{thn} は、例えば、約0.2V~0.3Vであり、Pチャネルトランジスタ21の閾値 V_{thp} は、例えば、約0.6Vである。Nチャネルトランジスタ22と、差動増幅回路の入力に接続されたNチャネルトランジスタ26は、同じタイプのトランジスタで形成されており、閾値はほぼ同じである。ウェル電圧発生回路を構成するPチャネルトランジスタ21及びNチャネルトランジスタ22は、ウェル電圧を発生するために設けられており、電流量が比較的少ないため、低消費型の素子で構成することができる。

【0025】

続いて、図3に示したウェル電圧発生回路の動作について説明する。例えば、動作セルが多く、端子Aに電位を供給している電源に大電流が流れた場合やノイズが発生した場合、端子Aに印加されている昇圧電位 V_{pp} が低くなることがある。比較回路24では、端子Aに印加されている電圧が低くなるなどして、比較回路24への入力電圧の差が生じると、両差動トランジスタの電流関係を保持する方向で出力電流が増減する。カレントミラー部を構成するPチャネルトランジスタの電流を出力側の差動トランジスタと出力電流とで分配することになるため、出力電流は、出力端子に接続されている負荷には関係なく一定電流となる。入力電圧の差が出力電圧となり、その増幅度は、外部からコントロールすることが可能である。

【0026】

比較回路24は、昇圧電位 V_{pp} がある設定レベル以下のときに、‘H’レベルを出力する。すなわち、 V_{pp} が電位 $V_{cc}-V_{thn}$ 以下であるときに、‘H’レベルを出力し、昇圧電位 V_{pp} が設定レベル以上のときには、‘L’レベルを出力する。よって、端子Aに印加されている電圧が低くなり、閾値の低いNチャネルトランジスタ22がONすると同時に、Pチャネルトランジスタ21がOFFするよう、設定することが可能である。ウェル電圧VBは、 $VB=V_{cc}$

— V_{thn} となり、ほぼ電源電位 V_{cc} である。Nチャネルトランジスタ 22 は、閾値の低いトランジスタで構成しているため、ウェルとソースの PN 接合が順方向バイアスされる前に速やかに ON することができる。

【0027】

よって、図 1 に示した所定の Pチャネルトランジスタ 10 のウェル電圧 V_B は、ウェル電圧を供給している昇圧電位 V_{pp} の電位が一定電位よりも下がると、ソース電圧の電源電位 V_{cc} 側から電位を供給し、ウェルとソースの PN 接合が順方向バイアスされて ON 状態にならないよう、所定の電圧以上になるよう保障している。したがって、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、ソースとウェルの PN 接合が順方向バイアスされて ON 状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことができる。

【0028】

なお、ソースとウェルの PN 接合は、ウェル電圧 V_B がソース電圧 V_S よりも低い場合、ソースとウェルの PN 接合の閾値以下のときであっても、多少の電荷が流れることがあるが、基板に大量のキャリアが発生して、寄生トランジスタがラッチアップしたり、大電流が流れることはないため、素子に悪影響を及ぼすことはない。

【0029】

また、本実施の形態では、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がり、Nチャネルトランジスタ 22 が ON すると同時に、Pチャネルトランジスタ 21 が OFF することができるため、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がり始めたときに、Pチャネルトランジスタ 21 が OFF し、Nチャネルトランジスタ 22 が完全に ON する間の電位のフローティング状態を防ぐことができる。

【0030】

【発明の効果】

以上詳述したように、本発明によれば、第 1 のトランジスタを構成している第 1 の半導体領域の電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、第 2 の半導体領域と第 1 の半導体領域の PN 接合が順方向バイアスされて ON

状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 及び第 2 の実施の形態に係る半導体装置を示す回路図及び要部断面図である。

【図 2】 本発明の第 1 の実施の形態に係る半導体装置を示す回路図である。

【図 3】 本発明の第 2 の実施の形態に係る半導体装置を示す回路図である。

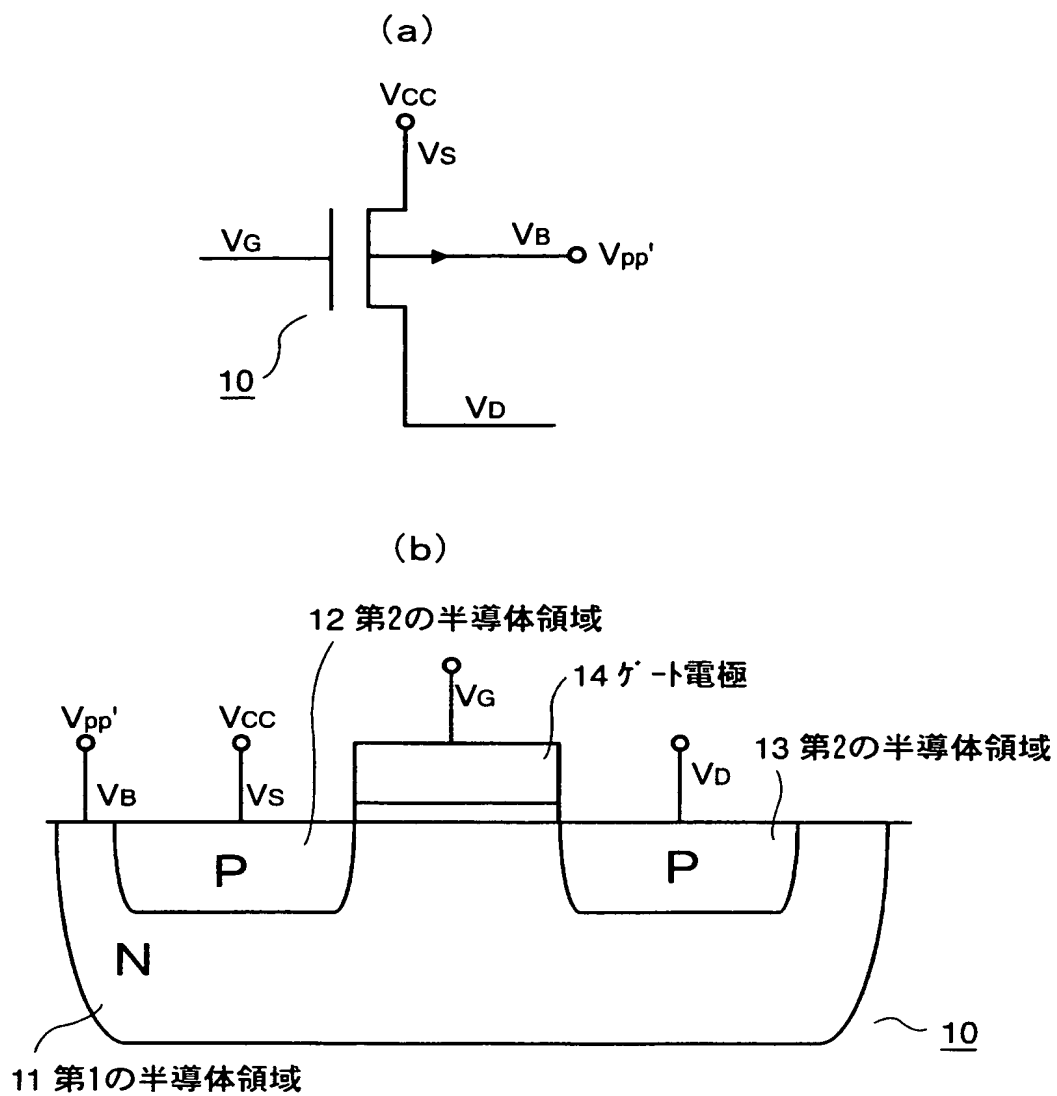
【図 4】 従来の半導体装置を示す回路図及び要部断面図である。

【符号の説明】

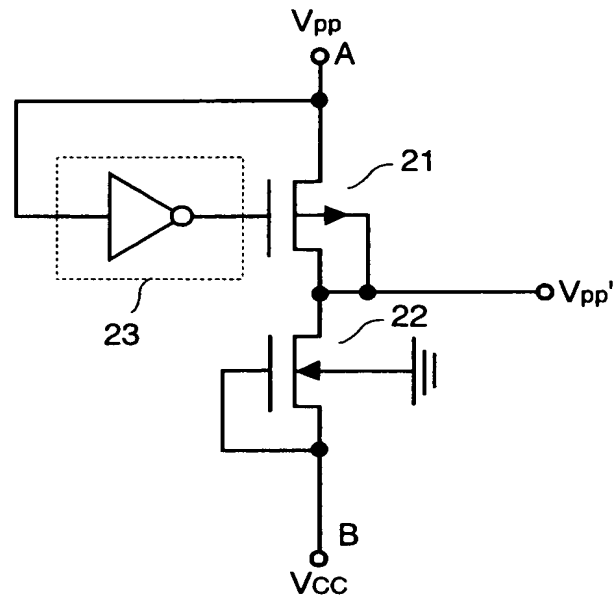
- 10, 21, 40 Pチャネルトランジスタ
- 11, 51 第1の半導体領域
- 12, 13, 52, 53 第2の半導体領域
- 14, 54 ゲート電極
- 22, 26 Nチャネルトランジスタ
- 23 インバータ回路
- 24 比較回路
- 25 差動増幅回路

【書類名】 図面

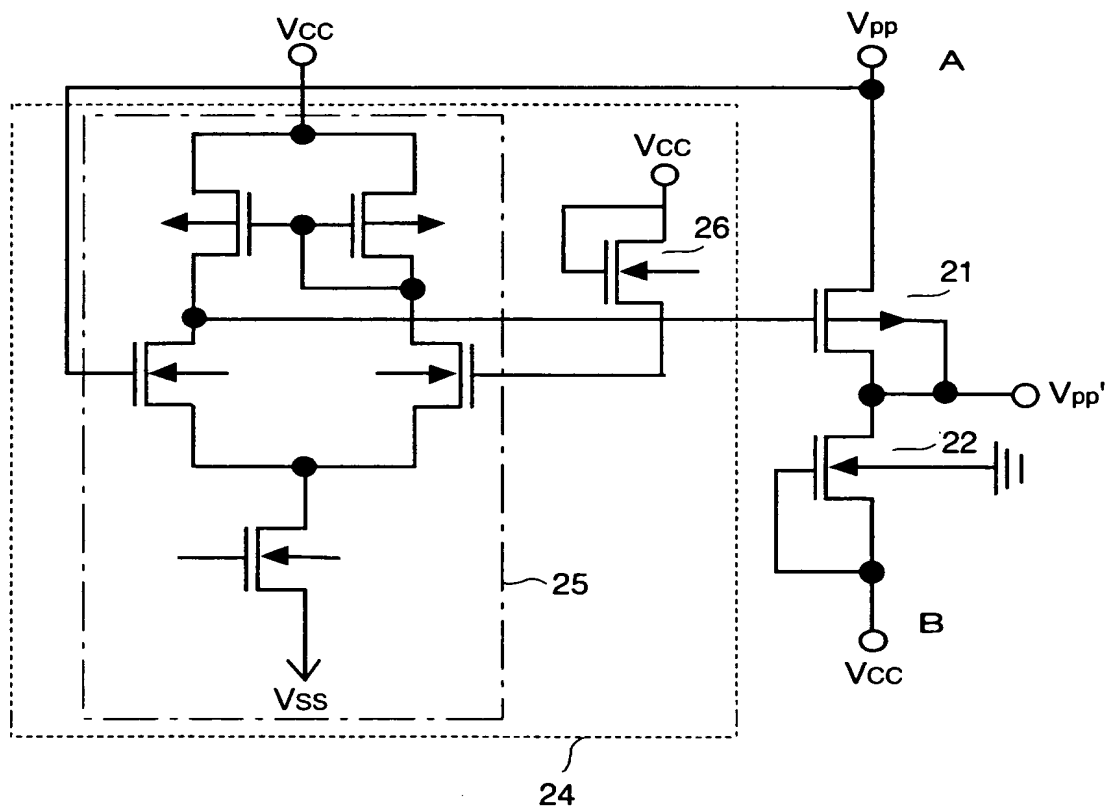
【図 1】



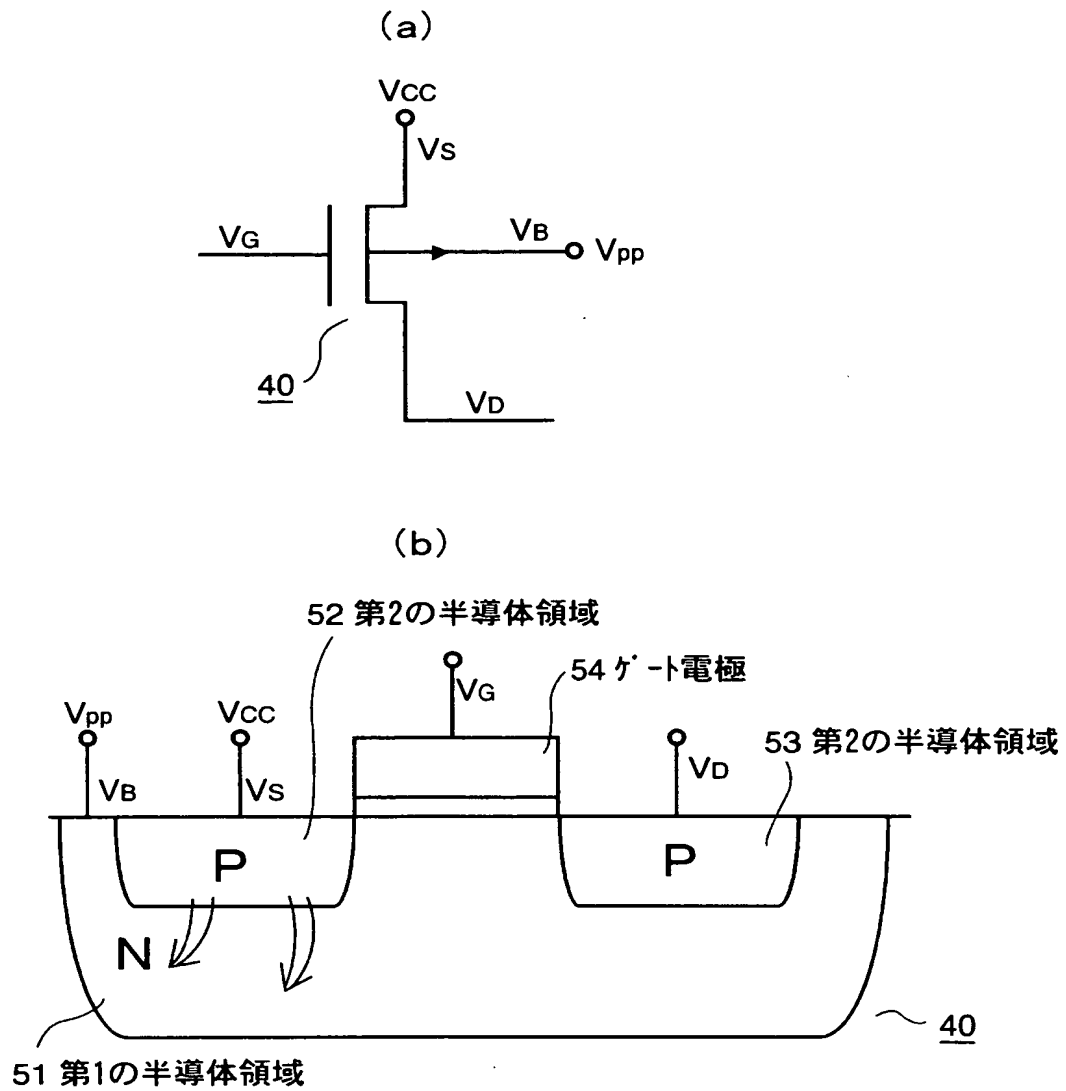
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 第 1 のトランジスタの第 2 の半導体領域と第 1 の半導体領域の P N 接合が順方向バイアスされて O N 状態になることを抑止する。

【解決手段】 第 2 導電型の第 2 の半導体領域に第 1 の電位 V_S が供給され、第 1 導電型の第 1 の半導体領域に第 2 の電位 V_B が供給された第 1 のトランジスタと、第 2 の電位 V_B を発生する電位発生回路とを具備し、前記電位発生回路は、第 1 の電源から供給された第 1 の電源電位 V_{cc} と、第 2 の電源から供給されるときともに第 1 の電源電位 V_{cc} 以上に設定された第 2 の電源電位 V_{pp} が供給された二端子を有し、第 2 の電源電位 V_{pp} が所定の電位以上の場合は、前記第 2 の電源電位を出力し、第 2 の電源電位 V_{pp} が前記所定の電位よりも低くなると、前記第 1 の電源電位を出力することによって、前記所定の電位以上となる電位を発生する半導体装置である。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 2 3 3 2 4
受付番号	5 0 3 0 0 1 5 5 2 6 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 2 月 3 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月31日
-------	-------------

次頁無

特願 2003-023324

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝